

デザインクロージャの3つの柱（機能クロージャ、タイミング クロージャ、電力クロージャ）に注目して、デザインクロージャをより効率的かつ生産的に達成する方法を学びます。また、機能動作、タイミング、電力を同時に解決して、市場投入までの時間を短縮する方法を学びます。

本講座では **タイミングクロージャ以外の“機能クロージャ”と“電力クロージャ”に注力します。**

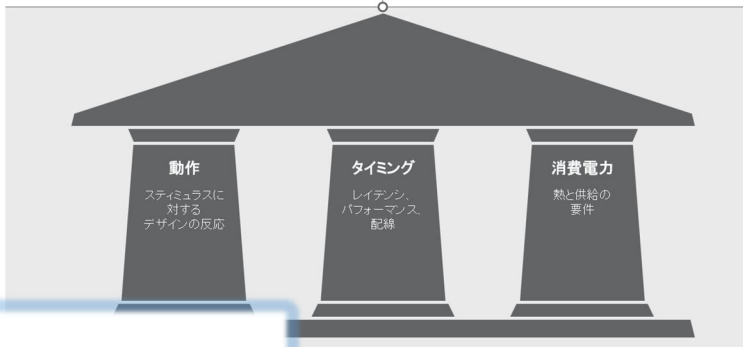
このコースの重点は次のとおりです。

- デザイン クロージャとは何かを定義し、3つの柱（機能、タイミング、電力）について説明
- 推奨されるコーディング手法
- 電力クロージャとデバイス選択の重要性の確認
- Vivado Design Suite 電力レポート ユーティリティを使用して消費電力の見積もりと最適化を実行
- Versal アダプティブ SoCにおける電力と熱のソリューションを特定
- アーキテクチャ機能を活用して設計の消費電力を改善

タイミング クロージャ については『**タイミング クロージャー テクニック Part1/Part2**』コースで説明されます

- 初期デザイン チェックを適用と、デザインのタイミング サマリー レポートとメソドロジーレポート
- ベースラインを使用して、デザインがタイミング目標を満たしていることの確認
- ベースライン プロセスで説明されているガイドラインを適用
- さまざまな段階で結果品質 (QoR) 評価を実行して QoR スコアを向上
- インテリジェント デザイン ラン (IDR) を実装して、複雑なデザインの分析とタイミング クロージャの自動化
- 一般的なタイミング クロージャ手法の適用
- Versal SSIT デバイスで SLR クロッシングを最適化

デザイン クロージャの 3 つの柱



シミュレーション波形 [Simulation] → [Behavioral Simulation] を選択する

my_clk -name my_clk -period 5 [get_ports clk_pin_p]

IBUFGDS

internal_count_reg[2]

FDCE

Source Clock Delay

目標：消費電力の削減

スタンドアロン Xilinx Power Estimator

統合 Vivado™ 消費電力解析

仕様 合成済み デザイン 配置済み デザイン 配線済み デザイン クロージャー 検証

my_clk

IDR: デザインの階層的なバージョン

Scopeに照準付けられている IDR. シミュレーションオブジェクトを表示する

シミュレーションの最上位モジュールからトレース可能な IDR. オブジェクトを含む波形設定を表示する

コース名	デザイン クロージャ テクニク デザイン&パワー編	AMD XILINX
ソフトウェアツール	・Vivado Design Suite 2024.1	
ハードウェアボード		
トレーニング期間	1日間	
受講料	1名様 6TC or 66,000円(税込)	
受講対象	ソフトウェアおよびハードウェア開発者、システム アーキテクト、および機能および電力クロージャに関連する設計クロージャ手法について学習したい方	
受講要件	<ul style="list-style-type: none"> ・FPGA および SoC アーキテクチャと HDL コーディング手法の基礎知識 ・Vivado Design Suite の基礎知識 	

テキスト内容

Section 1 デザインクロージャ

概要

- ・デザイン クロージャの概要

機能クロージャ

- ・HDL コーディング手法
- ・ビヘイビア シミュレーション
- ・テストベンチの作成

Section 2 パワークロージャ

消費電力クロージャ

- ・設計電力の理解 LAB
- ・XPE を使用した消費電力の見積もり LAB
- ・電力設計マネージャー (PDM) LAB
- ・消費電力および熱ソリューション
- ・設計電力の制約
- ・消費電力管理の方法
- ・消費電力解析と最適化 LAB