

ZYBOを使ったカラーバー発生回路作成

詳細

コース名	ZYBOを使ったカラーバー発生回路作成（略称 ColorBar）
ソフトウェア ツール	AMD Vitis Unified IDE 2024.1以降
ハードウェア	Zybo Zynq-7000 ARM/FPGA SoC Trainer Board
期間	1日間
受講料	1名様 6TC or 66,000円(税込)
受講対象者	・Video信号を扱う予定のあるエンジニア ・FPGAを使用する予定のエンジニア ・Verilog HDLを学びたいエンジニア
受講要件	・基本的な FPGA の知識 ・HDL (VHDL または Verilog) の知識

テキスト内容

アジェンダ

- Vivadoの起動実行
- プロジェクト作成
- プロジェクトの終了と再開
- Vivadoのブロックデザイン設計の理解
 - クロック生成回路の作成
 - 評価用VIO IPの挿入
 - ビデオパターン生成回路
 - ビデオ同期生成回路
 - HDMI出力生成回路
- Verilog HDL 記述
 - ビデオパターン生成回路の修正
 - 記述エラーの解決
- Vivado インプリメント処理
- ボード接続、書込み
- テストとデバッグ
- 色画面・カラーバーアレンジ
 - 水平・垂直処理
 - カラーバー
- 映像信号の詳細
- Verilog-HDL

本コンテンツはTuxedoが作成しました