

# 目次

## 序章 論理回路とは

- 1 デジタル機器が全盛
- 2 身の回りの論理回路
- 3 デジタル化のメリット
- 4 アナログ回路はなくなるらない

## 第1章 数値表現と物理量

- 1 基数
- 2 基数の変換(1)～10進数⇔2進数～
- 3 基数の変換(2)～2進数⇔16進数～
- 4 2進数と16進数の計算(1)
- 5 2進数と16進数の計算(2)
- 6 情報量の単位
- 7 符号の表現
- 8 さまざまな符号表現
- 9 2の補数計算(1)～2の補数とは～
- 10 2の補数計算(2)～桁揃えの必要性～
- 11 2の補数計算(3)～符号ビット拡張～
- 12 2の補数計算(4)～演算例～
- 13 2の補数計算(5)～桁数の意味～
- 14 参考) 2進数の減算
- 15 補助単位
- 16 周波数と周期

## 第2章 論理素子の動作

- 1 論理素子とは
- 2 スイッチによるANDとOR
- 3 リレーによるANDとOR
- 4 トランジスタによる論理素子
- 5 様々な論理素子
- 6 標準ロジックICの中身
- 7 FPGAの中身の一例

## 第3章 論理回路の基本概念

- 1 論理の表現
- 2 論理式
- 3 ブール代数の諸法則
- 4 論理式による回路表現
- 5 真理値表
- 6 真理値表による回路表現
- 7 様々な真理値表の表現
- 8 回路記号
- 9 様々な回路記号
- 10 イクスクループOR
- 11 タイミングチャート
- 12 遅延を含んだタイミングチャート
- 13 タイミングチャートの様々な表現方法

## 第4章 組み合わせ回路の設計手順

- 1 設計手順
- 2 真理値表から論理式へ(1)
- 3 真理値表から論理式へ(2)
- 4 真理値表から論理式へ(3)
- 5 真理値表から論理式へ(4)
- 6 論理圧縮とは
- 7 論理圧縮に役立つ法則
- 8 論理圧縮の基礎
- 9 論理圧縮の例
- 10 論理式から回路図へ(1)
- 11 論理式から回路図へ(2)
- 12 真理値表から回路図へ直接変換

## 第5章 組み合わせ回路と順序回路

- 1 回路の分類
- 2 組み合わせ回路とは
- 3 順序回路とは
- 4 フリップフロップとは
- 5 フリップフロップの動作
- 6 フリップフロップ出力の遅延
- 7 リセット信号と不定値
- 8 ローアクティブとハイアクティブ
- 9 セットアップ・タイムとホールド・タイム

## 第6章 組み合わせ回路による機能ブロック

- 1 インクリメント回路
- 2 加算回路(1)
- 3 加算回路(2)
- 4 多ビット加算回路
- 5 リップル・キャリーとキャリー・ルックアヘッド
- 6 多ビット加算回路から作るインクリメント回路
- 7 EXORの利用
- 8 セレクタとは
- 9 2方向セレクタ
- 10 4方向セレクタ
- 11 バス切り替え回路
- 12 多ビット信号の表現
- 13 エンコーダとデコーダ
- 14 エンコーダの例
- 15 デコーダの例
- 16 加減算回路
- 17 組み合わせ回路のハザード

# 目次

## 第7章 電子回路としての論理回路

- 1 CMOS論理素子の構造(1)
- 2 CMOS論理素子の構造(2)
- 3 スイッチ入力
- 4 LEDの駆動
- 5 トライステート
- 6 トライステートの用途
- 7 フリップフロップの構造
- 8 入力と出力の制限
- 9 チャタリング
- 10 チャタリング除去

## 第8章 順序回路による機能ブロック

- 1 カウンタの基本
- 2 非同期カウンタ
- 3 非同期カウンタの波形
- 4 非同期カウンタのメリットとデメリット
- 5 同期カウンタ(1)
- 6 同期カウンタ(2)
- 7 同期カウンタのメリットとデメリット
- 8 N進カウンタ
- 9 6進カウンタ
- 10 非同期リセットと同期リセット
- 11 シリアルデータとパラレルデータ
- 12 シフトレジスタ
- 13 シフトレジスタの利用
- 14 パラレル・シリアル変換回路
- 15 リングカウンタ

## 第9章 同期設計手法

- 1 設計時の疑問点
- 2 非同期設計手法
- 3 非同期設計の危険性
- 4 同期設計手法
- 5 イネーブル付きフリップフロップ
- 6 すべてイネーブル信号で制御
- 7 イネーブル信号のハザードは無問題
- 8 同期設計手法の注意点(1)
- 9 同期設計手法の注意点(2)

## 第10章 ステートマシン

- 1 論理回路システムの構成
- 2 データ処理部と制御部の例
- 3 制御部の仕様
- 4 制御部のタイミング
- 5 制御部の状態遷移
- 6 ステートマシンの構造
- 7 時計制御部の設計仕様(1)
- 8 時計制御部の設計仕様(2)
- 9 ワンホット型ステートマシン
- 10 ミーリー型とムーア型
- 11 ムーア型で実現した制御部

## <付録> 論理設計の現状

- 1 言語による論理設計
- 2 LSI開発工程の比較
- 3 HDL(RTL)設計
- 4 HDL(RTL)検証
- 5 論理合成
- 6 ゲートレベル検証
- 7 論理合成の役割
- 8 2大設計言語 - Verilog HDLとVHDL
- 9 記述例 - 論理式によるフルアダー
- 10 記述例 - 加算演算子によるフルアダー
- 11 記述例 - 2方向セレクタ
- 12 記述例 - 7セグメント・デコーダ
- 13 記述例 - 10進カウンタ
- 14 まとめ

## 演習

### 演習問題リスト

- 演習1 基本ゲートのシミュレーション
- 演習2 Dフリップフロップのシミュレーション
- 演習3 2キー入力の7セグメント・デコーダ
- 演習4 大小比較回路
- 演習5 最大値検出回路の設計と遅延計測
- 演習6 4ビット非同期カウンタと同期カウンタ
- 演習7 10進同期カウンタ
- 演習8 イネーブル付き6進カウンタ
- 演習9 60進カウンタ
- 演習10 ステートマシンの設計と動作確認
- 演習11 累加算回路

## Quartus II 操作ガイド

0. 回路のコンフィグレーション
1. 回路入力の準備
2. 回路入力
3. シミュレーション
4. 進んだ使い方
5. FAQ