

目次

1 はじめに

- 1-1 HDLとは
- 1-2 VHDLの歴史
- 1-3 3つの記述レベル - 設計の抽象度
- 1-4 HDLによるASIC開発手順
- 1-5 HDL設計 (RTL設計) の手順
- 1-6 RTL設計
- 1-7 RTL検証
- 1-8 論理合成
- 1-9 ゲートレベル検証
- 1-10 VHDLの文法体系

2 簡単な組み合わせ回路の記述

- 2-1 VHDLの記述構造
- 2-2 加算演算子による加算回路
- 2-3 階層構造による加算回路
- 2-4 フルアダーの動作
- 2-5 フルアダーの記述
- 2-6 階層構造による加算回路の記述(1)
- 2-7 階層構造による加算回路の記述(2)
- 2-8 ポート接続について
- 2-9 記述に関する規則

3 簡単な順序回路の記述

- 3-1 バイナリカウンタの動作
- 3-2 バイナリカウンタの記述(1)
- 3-3 バイナリカウンタの記述(2)

4 回路の検証

- 4-1 回路動作確認のためのテストパターン(1)
- 4-2 回路動作確認のためのテストパターン(2)
- 4-3 回路動作確認のためのテストパターン(3)
- 4-4 回路シミュレーション
- 4-5 テストベンチ
- 4-6 テストベンチの記述構造
- 4-7 テストベンチの記述(1)
- 4-8 テストベンチの記述(2)
- 4-9 シミュレーション時のファイル指定
- 4-10 クロックの記述
- 4-11 カウンタのテストベンチ(1)
- 4-12 カウンタのテストベンチ(2)
- 4-13 参考:シミュレーションの終了

5 基本文法1

- 5-1 回路記述の構造
- 5-2 エンティティとアーキテクチャ
- 5-3 ポート宣言(1)
- 5-4 ポート宣言(2)
- 5-5 データタイプ(1)
- 5-6 データタイプ(2)
- 5-7 信号 (signal)
- 5-8 変数 (variable)
- 5-9 定数 (constant)
- 5-10 同時処理文と順次処理文
- 5-11 プロセス文
- 5-12 回路記述のプロセス文
- 5-13 テストベンチのプロセス文
- 5-14 if文
- 5-15 case文
- 5-16 条件付き信号代入文(1)
- 5-17 条件付き信号代入文(2)
- 5-18 条件付き信号代入文(3)
- 5-19 ファンクション
- 5-20 参考:ポート宣言での制限
- 5-21 参考:データタイプ利用の制限

6 基本文法2

- 6-1 論理値と定数の表現
- 6-2 ビット選択と部分選択
- 6-3 演算子
- 6-4 論理演算子
- 6-5 算術演算子
- 6-6 関係演算子
- 6-7 その他の演算子
- 6-8 シフト演算(1)
- 6-9 シフト演算(2)
- 6-10 集合体
- 6-11 演算の優先順位(1)
- 6-12 演算の優先順位(2)
- 6-13 アトリビュート(1)
- 6-14 アトリビュート(2)
- 6-15 アトリビュート - ユーザー定義

7 基本記述スタイル1

- 7-1 4つの記述スタイル
- 7-2 信号代入文による組み合わせ回路
- 7-3 プロセス文による組み合わせ回路
- 7-4 組み合わせ回路記述上の留意点
- 7-5 プロセス文による順序回路(1)
- 7-6 順序回路記述上の留意点
- 7-7 プロセス文による順序回路(2)
- 7-8 記述と並行動作

目次

8 基本記述スタイル2

- 8-1 下位コンポーネント接続(1)
- 8-2 下位コンポーネント接続(2)
- 8-3 ポートリストの記述スタイル
- 8-4 可読性を考慮した記述 - 回路記述の例(1)
- 8-5 可読性を考慮した記述 - 回路記述の例(2)
- 8-6 可読性を考慮した記述 - テストベンチの例(1)
- 8-7 可読性を考慮した記述 - テストベンチの例(2)
- 8-8 可読性を考慮した記述 - テストベンチの例(3)

9 セレクタの記述

- 9-1 if文によるセレクタ
- 9-2 case文によるセレクタ
- 9-3 ビット選択によるセレクタ
- 9-4 条件付き代入によるセレクタ
- 9-5 多ビット信号のセレクタ

10 デコーダとエンコーダの記述

- 10-1 デコーダとエンコーダ
- 10-2 case文によるデコーダ
- 10-3 if文によるデコーダ
- 10-4 case文によるエンコーダ
- 10-5 if文によるエンコーダ
- 10-6 プライオリティエンコーダとは
- 10-7 if文によるプライオリティエンコーダ
- 10-8 if文によるプライオリティエンコーダ

11 演算回路の記述

- 11-1 加算回路(1)
- 11-2 加算回路(2)
- 11-3 乗算回路
- 11-4 大小比較回路と一致比較回路
- 11-5 組み合わせ回路によるシフト回路(1)
- 11-6 組み合わせ回路によるシフト回路(2)
- 11-7 組み合わせ回路によるROM(1)
- 11-8 組み合わせ回路によるROM(2)

12 順序回路の基礎とFF

- 12-1 Dフリップフロップの記述
- 12-2 非同期リセットと同期リセット
- 12-3 初期化には非同期リセット
- 12-4 イネーブル付きFF
- 12-5 ラッチ
- 12-6 順序回路記述の制限(1)
- 12-7 順序回路記述の制限(2)
- 12-8 順序回路記述の制限(3)
- 12-9 順序回路記述の制限(4)

13 カウンタとシフトレジスタの記述

- 13-1 N進カウンタ(1)
- 13-2 N進カウンタ(2)
- 13-3 N進カウンタ(3)
- 13-4 アップダウンカウンタ
- 13-5 任意のカウント値をもつカウンタ
- 13-6 同期分周回路
- 13-7 シリアルパラレル変換回路

14 ライブラリとパッケージ

- 14-1 ライブラリとパッケージ(1)
- 14-2 ライブラリとパッケージ(2)
- 14-3 パッケージの種類
- 14-4 使用するパッケージ
- 14-5 演算子のオーバーロード(1)
- 14-6 演算子のオーバーロード(2)
- 14-7 データタイプ変換(1)
- 14-8 データタイプ変換(2)
- 14-9 データタイプ変換(3)
- 14-10 パッケージの有効範囲

15 ステートマシン記述例

- 15-1 ステートマシン
- 15-2 ステートマシンの用途
- 15-3 ステートマシンの回路
- 15-4 ステートマシンの動作(1)
- 15-5 ステートマシンの動作(2)
- 15-6 ステートマシンの動作(3)
- 15-7 ステートマシンの動作(4)
- 15-8 トレイ制御回路の入出力とステート名
- 15-9 ステートマシンの記述
- 15-10 トレイ制御回路の記述(1)
- 15-11 トレイ制御回路の記述(2)
- 15-12 ステートレジスタの構成
- 15-13 ワンホット方式の記述

目次

16 テストベンチ向き文法

- 16-1 forループ
- 16-2 whileループ
- 16-3 アサート文
- 16-4 wait文
- 16-5 相対遅延と絶対遅延(1)
- 16-6 相対遅延と絶対遅延(2)
- 16-7 相対遅延と絶対遅延(3)
- 16-8 信号と変数(1)
- 16-9 信号と変数(2)
- 16-10 参考: 定義済みのデータタイプ(1)
- 16-11 参考: 定義済みのデータタイプ(2)
- 16-12 参考: 定義済みのデータタイプ(3)
- 16-13 参考: 定義済みのデータタイプ(4)
- 16-14 参考: 定義済みのデータタイプ(5)
- 16-15 参考: 定義済みのデータタイプ(6)
- 16-16 ユーザー定義のデータタイプ - 配列(1)
- 16-17 ユーザー定義のデータタイプ - 配列(2)
- 16-18 ユーザー定義のデータタイプ - 配列(3)

17 テキストI/O

- 17-1 テキストI/Oとは
- 17-2 ファイルへの書き出し(1)
- 17-3 ファイルへの書き出し(2)
- 17-4 ファイルからの読み込み(1)
- 17-5 ファイルからの読み込み(2)
- 17-6 ファイルの末尾チェック
- 17-7 シミュレーション結果の画面表示(1)
- 17-8 シミュレーション結果の画面表示(2)
- 17-9 ファイルへの書き出し(3)

18 テストベンチの各種テクニック

- 18-1 入力信号の印加遅延(1)
- 18-2 入力信号の印加遅延(2)
- 18-3 印加遅延と0始まりクロック
- 18-4 入力信号の初期化
- 18-5 ループ制御
- 18-6 ループ制御の利用例
- 18-7 期待値の生成と比較(1)
- 18-8 期待値の生成と比較(2)
- 18-9 出力値の保存
- 18-10 出力値保存の記述例
- 18-11 シミュレーションの停止

19 プロシージャを用いたテストベンチ

- 19-1 プロシージャとは
- 19-2 プロシージャによるリセットの記述
- 19-3 プロシージャの宣言と呼び出し
- 19-4 パッケージ宣言とプロシージャ(1)
- 19-5 パッケージ宣言とプロシージャ(2)
- 19-6 プロシージャの引き数(1)
- 19-7 プロシージャの引き数(2)
- 19-8 宣言場所による引き数の必要性(1)
- 19-9 宣言場所による引き数の必要性(2)
- 19-10 プロシージャによるクロックの記述(1)
- 19-11 プロシージャによるクロックの記述(2)
- 19-12 プロシージャの効果的な利用
- 19-13 プロシージャによるバス動作の記述(1)
- 19-14 プロシージャによるバス動作の記述(2)
- 19-15 プロシージャによるバス動作の記述(3)

シミュレーター操作マニュアル