

目次

第1章 RTL記述の注意点

1. Verilog HDLの文法体系
2. 信号の宣言
3. ブロック文
4. 組み合わせ回路と順序回路
5. 組み合わせ回路の記述(1)
6. 組み合わせ回路の記述(2)
7. 組み合わせ回路の記述(3)
8. 組み合わせ回路記述の間違い
9. 順序回路の記述
10. 非同期リセットの記述
11. 順序回路記述の間違い(1)
12. 順序回路記述の間違い(2)
13. 階層構造の表現
14. モジュールインスタンスとポート接続
15. ビット幅の注意点

第2章 テストベンチの記述スタイル

1. テストベンチ
2. テストベンチの構造
3. テストベンチの記述例
4. 入力信号の生成
5. always文の注意点
6. 相対遅延と絶対遅延
7. クロックエッジベースの信号代入
8. 入力信号変化のタイミング
9. タスク利用の注意点

第3章 設計手法と回路

1. 設計時の疑問点
2. 非同期設計手法
3. 非同期設計の危険性
4. 同期設計手法
5. イネーブル付きフリップフロップ
6. すべてイネーブル信号で制御
7. イネーブル信号のハザードは無問題
8. チャタリング
9. チャタリング除去
10. 立ち上がり検出回路(ワン・ショット回路)
11. 1kHzを作る
12. 同期回路の実現

教材基板の概要

- 演習1 回路データのダウンロード
- 演習2 シミュレーションと回路デバッグ
- 演習3 論理合成と配置・配線
- 演習4 順序回路の記述
- 演習5 チャタリング除去回路
- 演習6 ビープ音
- 演習7 ダイナミック点灯
- 演習8 カウンタ(1)
- 演習9 カウンタ(2)
- 演習10 24時間時計
- 演習11 ステートマシンの記述
- 演習12 時刻合わせ機能付24時間時計
- 演習13 機能追加

Quartus II コンパイル & ダウンロード
(FPGA開発ツール)

Questa/ModelSim 操作マニュアル
(Verilog HDLシミュレータ)