

# 目次

## 序章 本講座の概要

### 1 本講座の概要

## 第1章 MPUの基本

- 3 コンピュータの構成
- 4 MPU、CPU、プロセッサ
- 5 一般的なパソコン(PC)の構成
- 6 パソコン(PC)のMPUの構成例(1)
- 7 パソコン(PC)のMPUの構成例(2)
- 8 パソコン(PC)のMPUの構成例(3)
- 9 パソコン(PC)のMPUの構成例(4)
- 10 パソコン(PC)のMPUの構成例(5)
- 11 この章で扱うMPUの概要
- 12 参考プログラム(C言語)
- 13 アセンブリ言語
- 14 機械語(マシンコード)
- 15 複数機械語からなるアセンブラ命令1
- 16 複数機械語からなるアセンブラ命令2
- 17 機械語の各種形式
- 18 命令で異なるタイミング

## 第2章 プログラム実行の詳細

- 20 MPUのコア部分の構造
- 21 各ブロックの機能概要
- 22 制御部の動作
- 23 命令の実行例
- 24 既出命令一覧(参考)
- 25 add命令実行例(サイクル1)
- 26 add命令実行例(サイクル2)
- 27 add命令実行例(サイクル3)
- 28 add命令実行例(サイクル4)
- 29 bne命令実行例(サイクル1)
- 30 bne命令実行例(サイクル2)
- 31 bne命令実行例(サイクル3)
- 32 bne命令実行補足
- 33 制御部ステートマシン

## 第3章 MPUの構成要素

- 35 構成要素一覧
- 36 メモリの構造
- 37 メモリの読み書きタイミング
- 38 命令レジスタの構造
- 39 制御部ステートマシンの構造
- 40 レジスタ群の構造
- 41 ALUの構造

## 第4章 パイプライン

- 43 パイプラインとは
- 44 本章で使うMPUモデル
- 45 パイプラインの基本動作
- 46 パイプラインの構造
- 47 データ・ハザード
- 48 データ・ハザード対策・・・ストール(stall)
- 49 ハザードの検出1
- 50 ハザードの検出2
- 51 データ・ハザード対策・・・フォワードイング
- 52 フォワードイング回路
- 53 分岐ハザード
- 54 分岐ハザード対策・・・ストール
- 55 分岐ハザード対策・・・分岐予測
- 56 命令スケジューリングによるハザード対策
- 57 スーパーパイプライン
- 58 スーパースカラ
- 59 スーパースカラで発生するハザード
- 60 高度なハザード対策手法

## 第5章 キャッシュの構造と動作

- 62 キャッシュの機能と役割
- 63 キャッシュの前提条件
- 64 キャッシュの概念
- 65 命令キャッシュの配置
- 66 命令キャッシュの内部構成
- 67 ラインの選択方式
- 68 ダイレクト・マップ方式
- 69 フル・アソシエイティブ方式
- 70 nウェイ・セット・アソシエイティブ方式
- 71 リフィルの方式
- 72 データキャッシュへのリードアクセス
- 73 データキャッシュへのライトアクセス(ヒット)
- 74 データキャッシュへのライトアクセス(ミス)
- 75 データキャッシュへのライトアクセス(ヒット/ミス)

# — 目次 —

## 第6章 メモリ・マネージメント・ユニット

- 77 MMUの機能と役割
- 78 MMUの主な機能
- 79 アドレス変換
- 80 TLB
- 81 ダイレクトマップ方式のTLB
- 82 ページ表内の各要素の詳細
- 83 メモリ保護

## 第7章 割り込み

- 85 割り込みの機能と役割
- 86 ポーリングと割り込み
- 87 割り込みと例外
- 88 割り込みベクタテーブル
- 89 割り込みベクタテーブルの実際
- 90 ソフトウェア割り込みの必要性
- 91 割り込み時の動作
- 92 割り込みの実現(MPUハードウェア)
- 93 割り込みの実現(制御シーケンス)
- 94 割り込みマスクと優先順位
- 95 割り込みとパイプライン

## 第8章 命令セットとアーキテクチャ

- 97 命令セット
- 98 CISC
- 99 CISCのアドレッシングの例1
- 100 CISCのアドレッシングの例2
- 101 RISC
- 102 CISC vs. RISC
- 103 VLIW
- 104 並列プロセッサ
- 105 実在のアーキテクチャ例